

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 6 日
Date of Application:

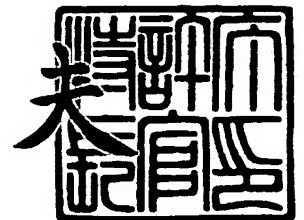
出 願 番 号 特 願 2 0 0 3 - 0 8 4 4 7 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 8 4 4 7 5]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 3 年 1 1 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290836103

【提出日】 平成15年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/70

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 大岸 裕子

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板に複数の電子素子の電極が形成され、前記電極と前記半導体基板との間に介在する絶縁膜に要求される電気的な実効膜厚が異なる複数の前記電子素子を有する半導体装置であって、

各前記電極の不純物濃度が、要求される前記絶縁膜の電気的な実効膜厚に応じて各電子素子毎に異なるように規定されており、前記不純物濃度に起因する前記電極の空乏化により前記実効膜厚が制御されている

半導体装置。

【請求項 2】

複数の前記電子素子は、前記電極をゲート電極とし前記絶縁膜をゲート絶縁膜とする複数のトランジスタを含む

請求項 1 記載の半導体装置。

【請求項 3】

複数の前記電子素子は、前記電極をゲート電極とし前記絶縁膜をゲート絶縁膜とするトランジスタと、前記電極をキャパシタ電極とし前記絶縁膜を容量絶縁膜とするキャパシタとを含む

請求項 1 記載の半導体装置。

【請求項 4】

半導体基板にゲート絶縁膜を介して、異なる電圧が印加される複数のトランジスタのゲート電極を形成する半導体装置の製造方法であって、

前記半導体基板に前記ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に不純物を含有するゲート電極用層を形成する工程と、

前記ゲート電極用層のうち、前記電圧に応じて前記ゲート絶縁膜に要求される電気的な実効膜厚が相対的に薄い前記トランジスタの領域に不純物を導入する工程と、

前記ゲート電極用層を加工して、不純物濃度がトランジスタ毎に異なる前記ゲ

ート電極を形成する工程と
を有する半導体装置の製造方法。

【請求項 5】

前記ゲート電極用層を形成する工程は、
前記ゲート絶縁膜上にアモルファス状のシリコン層を形成する工程と、
前記アモルファス状のシリコン層に不純物を導入する工程と
を有する請求項 4 記載の半導体装置の製造方法。

【請求項 6】

前記ゲート絶縁膜を形成する工程は、
前記半導体基板に、前記ゲート絶縁膜に要求される電気的な実効膜厚が相対的に薄い前記トランジスタの領域、および前記ゲート絶縁膜に要求される電気的な実効膜厚が相対的に厚いトランジスタの領域とで異なる膜厚をもつ前記ゲート絶縁膜を形成する

請求項 4 記載の半導体装置の製造方法。

【請求項 7】

半導体基板に絶縁膜を介してトランジスタのゲート電極およびキャパシタの上部電極を形成する半導体装置の製造方法であって、

半導体基板に前記キャパシタの下部電極を形成する工程と、

半導体基板に、前記トランジスタのゲート絶縁膜および前記キャパシタの容量絶縁膜となる絶縁膜を形成する工程と、

前記絶縁膜上に、後に前記ゲート電極あるいは前記キャパシタ電極となる不純物を含有する電極用層を形成する工程と、

前記電極用層のうち、前記キャパシタに比して前記絶縁膜に要求される電気的な実効膜厚が薄いトランジスタの領域に不純物を導入する工程と、

前記電極用層を加工して、不純物濃度が互いに異なる前記ゲート電極および前記キャパシタ電極を形成する工程と

を有する半導体装置の製造方法。

【請求項 8】

前記下部電極を形成する工程は、

前記半導体基板に犠牲膜を形成する工程と、
前記キャパシタを形成する領域における前記半導体基板に、前記犠牲膜を介して不純物を導入して下部電極を形成する工程と、
前記犠牲膜を除去する工程と
を有する請求項 7 記載の半導体装置の製造方法。

【請求項 9】

前記電極用層を形成する工程は、
前記絶縁膜上にアモルファス状のシリコン層を形成する工程と、
前記アモルファス状のシリコン層に不純物を導入する工程と
を有する請求項 7 記載の半導体装置の製造方法。

【請求項 10】

前記ゲート絶縁膜を形成する工程において、
前記半導体基板に、前記トランジスタのゲート絶縁膜となる領域および前記キャパシタの容量絶縁膜となる領域とで異なる膜厚をもつ前記絶縁膜を形成する
請求項 7 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特に、電源電圧の異なる MOS トランジスタやキャパシタ等の異種タイプのデバイスが同一基板上に形成された半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、一般に LSI プロセスにおいては、回路の高集積化、デバイスの微細化が進んでいる。それに伴って、電源電圧の異なるタイプの MOS トランジスタや、キャパシタ、抵抗素子などの異種タイプのデバイスを、工程数をなるべく増加させることなく、同一基板上に同時に作り込むことが、必要になってきている。

【0003】

また、MOS トランジスタの高性能化のために、さらなる微細化が求められ、

これによる電源電圧の低下に伴い、ゲート酸化膜厚も薄膜化されるようになってきている。メインとなるMOSトランジスタは薄膜で形成されても、I/O部分やアナログ回路などに用いられる高電圧が印加されるMOSトランジスタには、その電源電圧に対応したもっと厚膜の酸化膜が必要となる。

【0004】

こうした異種電源電圧のMOSトランジスタに対しては、物理的にゲート酸化膜の作り分けをするのが一般的である。

その作成方法の一例としては、例えば、半導体基板の上に熱酸化膜を形成し、厚膜のゲート酸化膜を用いたいデバイスを作る領域にのみフォトリソ等のマスクを施して、その他の部分の酸化膜は弗化水素液などを用いてウェットエッチングを行うことにより除去する。リソを除去した後、第2の熱酸化を行い熱酸化膜を形成することにより、膜厚の異なるゲート酸化膜が形成される。

【0005】

上記の方法では、フォトリソパターニング工程と、ウェットエッチング工程と、それに続く熱酸化工程を繰り返すことにより、何種類でも、異なる熱酸化膜厚を得ることができる。

【0006】

また従来、MOSトランジスタの形成時に、同時にキャパシターを作り込む技術が用いられている。

その作成方法としては、例えば、半導体基板の上に、適当な犠牲酸化膜を介して高濃度のイオン注入を施し、シリコン基板を n^+ 化または p^+ 化し、キャパシタの一方の電極を形成する。犠牲膜を除去した後に、熱酸化によりMOSトランジスタのゲート酸化膜と同時に、所望の酸化膜厚を有するキャパシタの容量酸化膜を形成する。上記の酸化工程において、先に高濃度で打ち込まれたイオンが基板内に形成した結晶欠陥によって、酸化処理が通常より速い速度で進み（増速酸化）、結果的にキャパシタの容量酸化膜はゲート酸化膜に比べて厚くなる。以降の工程としては、ポリシリコンを堆積しパターニングすることにより、MOSトランジスタのゲート電極と同時に、キャパシタのもう片方の電極を形成する。

【0007】

上記の方法では、MOSトランジスタと同時に、工程数を大きく増やすことなく、同一基板上にキャパシタを効率よく形成することができる。

【0008】

ところで、ゲート電極中の不純物濃度を高濃度化することにより、ゲート電極下の空乏化を防ぐことができることが知られている（特許文献1参照。）。

【0009】

【特許文献1】

特開2000-277636号公報

【0010】

【発明が解決しようとする課題】

上記した物理的な酸化膜の作り分け方法を用いた場合には、第1に、酸化膜厚種に応じて、工程数が多くなるという問題がある。また、ウェットエッチングを施す際に、マスクしてある酸化膜の端に当たる部分において弗化水素液などがしみ込み、残すべき酸化膜にダメージを与えてしまい、デバイスに影響を与え信頼性を落としてしまう可能性がある。従って、この方法を多用することは好ましくない。

【0011】

また、キャパシタ形成方法の場合、Si基板に電極を形成するために高濃度のイオン注入を行うが、所望のキャパシタ容量を得るためには、増速酸化を促して、結果的に高電圧に耐えうる厚い酸化膜厚を得ることが考えられる。しかしながら増速酸化を促すために特に高濃度でイオン注入を行うと、Si基板に与えるダメージが大きくなるため、酸化膜質を低下させて信頼性を落としてしまうことになる。また、増速酸化による質の悪い膜の割合が増えることになり、信頼性低下の原因になる。

【0012】

先にも述べたように、LSIのメインとなるMOSトランジスタの高性能化には、ゲート酸化膜厚として物理的に薄い酸化膜厚が必須であり、その酸化膜はトランジスタ動作時の、電気的な実効酸化膜厚も、薄膜のまま保たれていなければならない。従って、薄膜トランジスタと、異種電源のトランジスタ、キャパシタ

などの異なる酸化膜厚を必要とするデバイスの、それぞれの要求を満たすことが必要である。

【0013】

本発明は上記の事情に鑑みてなされたものであり、その目的は、物理的な絶縁膜の膜厚の差がなくても、電子素子の電極の空乏化を利用して、電子素子の絶縁膜に要求される電気的な実効膜厚を確保することができる半導体装置を提供することにある。

本発明の他の目的は、物理的に膜厚の異なる絶縁膜の作り分けを行うことによる工程数の増加を抑制しつつ、トランジスタのゲート絶縁膜やキャパシタの容量絶縁膜に要求される電気的な実効膜厚を確保することができる半導体装置の製造方法を提供することにある。

【0014】

【課題を解決するための手段】

上記の目的を達成するため、本発明の半導体装置は、半導体基板に複数の電子素子の電極が形成され、前記電極と前記半導体基板との間に介在する絶縁膜に要求される電気的な実効膜厚が異なる複数の前記電子素子を有する半導体装置であって、各前記電極の不純物濃度が、要求される前記絶縁膜の電気的な実効膜厚に応じて各電子素子毎に異なるように規定されており、前記不純物濃度に起因する前記電極の空乏化により前記実効膜厚が制御されている。

【0015】

複数の前記電子素子は、前記電極をゲート電極とし前記絶縁膜をゲート絶縁膜とする複数のトランジスタを含む。

【0016】

複数の前記電子素子は、前記電極をゲート電極とし前記絶縁膜をゲート絶縁膜とするトランジスタと、前記電極をキャパシタ電極とし前記絶縁膜を容量絶縁膜とするキャパシタとを含む。

【0017】

上記の本発明の半導体装置によれば、電極の不純物濃度が、要求される絶縁膜の電気的な実効膜厚に応じて各電子素子毎に異なるように規定されている。従っ

て、不純物濃度に起因する電極の空乏化により実効膜厚が制御される。

【0018】

さらに、上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板にゲート絶縁膜を介して、異なる電圧が印加される複数のトランジスタのゲート電極を形成する半導体装置の製造方法であって、前記半導体基板に前記ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に不純物を含有するゲート電極用層を形成する工程と、前記ゲート電極用層のうち、前記電圧に応じて前記ゲート絶縁膜に要求される電氣的な実効膜厚が相対的に薄い前記トランジスタの領域に不純物を導入する工程と、前記ゲート電極用層を加工して、不純物濃度がトランジスタ毎に異なる前記ゲート電極を形成する工程とを有する。

【0019】

上記の本発明の半導体装置の製造方法によれば、ゲート電極用層のうち、印加される電圧に応じてゲート絶縁膜に要求される電氣的な実効膜厚が相対的に薄いトランジスタの領域に不純物を導入している。

従って、このときの不純物が導入されなかった領域におけるゲート電極用層が加工されたゲート電極は、不純物濃度が相対的に小さくなることから、ゲート電極の空乏化によりゲート絶縁膜の実効膜厚が大きくなる。

一方、上記の不純物が導入されたゲート電極は、不純物濃度が相対的に大きくなることから、ゲート電極の空乏化は防止されて、電氣的な実効膜厚も薄膜のまま保たれる。

【0020】

さらに、上記の目的を達成するため、本発明の半導体装置の製造方法によれば、半導体基板に絶縁膜を介してトランジスタのゲート電極およびキャパシタの上部電極を形成する半導体装置の製造方法であって、半導体基板に前記キャパシタの下部電極を形成する工程と、半導体基板に、前記トランジスタのゲート絶縁膜および前記キャパシタの容量絶縁膜となる絶縁膜を形成する工程と、前記絶縁膜上に、後に前記ゲート電極あるいは前記キャパシタ電極となる不純物を含有する電極用層を形成する工程と、前記電極用層のうち、前記キャパシタに比して前記絶縁膜に要求される電氣的な実効膜厚が薄いトランジスタの領域に不純物を導入

する工程と、前記電極用層を加工して、不純物濃度が互いに異なる前記ゲート電極および前記キャパシタ電極を形成する工程とを有する。

【0021】

上記の本発明の半導体装置の製造方法によれば、電極用層のうち、キャパシタに比して絶縁膜に要求される電氣的な実効膜厚が薄いトランジスタの領域に不純物を導入している。

従って、このときの不純物が導入されなかった領域における電極用層が加工されたキャパシタ電極は、不純物濃度が相対的に小さくなることから、キャパシタ電極の空乏化により容量絶縁膜の電氣的な実効膜厚が大きくなる。

一方、上記の不純物が導入されたゲート電極は、不純物濃度が相対的に大きくなることから、ゲート電極の空乏化が防止されて、電氣的な実効膜厚も薄膜のまま保たれる。

【0022】

【発明の実施の形態】

以下に、本発明の半導体装置およびその製造方法の実施の形態について、図面を参照して説明する。

【0023】

第1実施形態

図1は、本実施形態に係る半導体装置の断面図である。

図1に示すように、例えばシリコンからなる半導体基板1に形成された酸化シリコン等からなる素子分離絶縁膜2により活性領域が規定されており、活性領域における半導体基板1に異なる電源電圧が印加される2つのトランジスタ T_{r1} 、 T_{r2} が形成されている。トランジスタ T_{r1} は、高電源電圧が印加されるトランジスタとし、トランジスタ T_{r2} は高速かつ大きな駆動電流をもつ高性能なトランジスタとする。

【0024】

すなわち、ゲート絶縁膜3を介して各トランジスタ T_{r1} 、 T_{r2} のゲート電極4a、4bがそれぞれ形成されており、各ゲート電極4a、4bの側部には酸化シリコン等からなるサイドウォール絶縁膜5が形成されている。本実施形態で

は、各トランジスタ T_{r1} 、 T_{r2} のゲート絶縁膜 3 の物理的な膜厚は実質的に同一となっている。ゲート電極 4 a は、相対的に低濃度に不純物を含有したポリシリコン層により形成され、ゲート電極 4 b は相対的に高濃度に不純物を含有したポリシリコン層により形成されている。

【0025】

各トランジスタ T_{r1} 、 T_{r2} のサイドウォール絶縁膜 5 直下の半導体基板 1 には、低濃度に不純物が導入された n^- 半導体領域 6 a が形成されており、当該 n^- 半導体領域 6 a の外側における半導体基板 1 には高濃度に不純物が導入された n^+ 半導体領域 6 b が形成されている。このように n^- 半導体領域 6 a および n^+ 半導体領域 6 b からなる LDD (Lightly Doped Drain) 構造のソース・ドレイン領域 6 が形成されている。

【0026】

上記の本実施形態に係る半導体装置では、高電源電圧が印加される高耐圧使用のトランジスタ T_{r1} のゲート電極 4 a は、相対的に低濃度に不純物を含有していることから、ゲート電圧印加時にゲート電極 4 a の空乏化が起こりやすい構造となっている。このゲート電極 4 a の空乏化は、ゲート絶縁膜 3 の膜厚を厚くすることと等価である。高耐圧使用のトランジスタ T_{r1} には、大きなゲート絶縁膜 3 の膜厚が要求されるが、このゲート電極 4 a の空乏化を利用することにより、ゲート絶縁膜 3 に要求される電気的な実効膜厚を大きくすることができる。

【0027】

一方で、高速かつ大きな駆動電流が要求される高性能なトランジスタ T_{r2} のゲート電極 4 b は、ゲート電極 4 b の空乏化が起こらないように高濃度に不純物が含有されていることから、ゲート絶縁膜 3 の電気的な実効膜厚も薄膜に保たれている。従って、ゲート電極の空乏化に起因する高速動作への障害を防止することができ、高速かつ大きな駆動電流を実現することができる。

【0028】

次に、上記の本実施形態に係る半導体装置の製造方法について、図 2 ～ 図 4 を参照して説明する。

【0029】

まず、図2 (a) に示すように、LOCOS (Local Oxidation of Silicon) 法あるいはSTI (Shallow Trench Isolation) 法により形成された素子分離絶縁膜2により活性領域が規定された半導体基板1に、熱酸化法により例えば2 nm程度のゲート絶縁膜3を形成する。このときの酸化条件は、酸化膜厚が最も高性能化を求められているデバイスに合わせた薄膜となるようにする。

【0030】

次に、図2 (b) に示すように、アモルファス状のシリコン膜4-1を形成する。このシリコン膜4-1の膜厚は例えば約50~200 nmとする。続いて、 n^+ 電極を形成するためのゲートイオン注入を施す。このゲートイオン注入は、例えばPを注入エネルギー20 keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。このときのドーズ量は、高電源電圧対応のトランジスタTr1のような電氣的に厚いゲート絶縁膜の膜厚が要求されるデバイスに対応して、よりゲート空乏化をおこしやすくするような低濃度にしておく。

【0031】

次に、図3 (c) に示すように、最も高性能化を求められているトランジスタTr2のゲート電極を含む領域を開口するレジストR1をパターンニング形成し、当該レジストR1をマスクとして、さらに追加ゲートイオン注入を行う。これにより、高濃度に不純物を含有するシリコン膜4-2が形成される。この追加ゲートイオン注入は、例えばPを注入エネルギー20 keV、ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。このときのドーズ量は、最も高性能化が求められているトランジスタTr2に要求されるゲート絶縁膜の電氣的な実効膜厚を厚膜化させないように、ゲート空乏化の起きにくい程度に十分高濃度のドーズ量にしておく。

レジストR1を除去した後、熱処理により導入された不純物を活性化させる。この熱処理により、アモルファス状のシリコン膜4-1, 4-2はポリシリコン化する。

【0032】

次に、図3 (d) に示すように、各トランジスタTr1, Tr2のゲート電極となる部分をレジストR2でマスクした後、図4 (e) に示すように、当該レジ

スト R2 をマスクとしてシリコン膜 4-1, 4-2 をドライエッチングする。その後、レジスト R2 を除去する。これにより、低濃度に不純物を含有するシリコン膜 4-1 からなるゲート電極 4a と、2 回のイオン注入により高濃度に不純物を含有するシリコン膜 4-2 からなるゲート電極 4b が形成される。

【0033】

次に、図 4 (f) に示すように、ゲート電極 4a, 4b をマスクとして n 型不純物の例えばリンを低濃度にイオン注入することにより n⁻ 半導体領域 6a を形成し、例えば酸化シリコン膜を堆積させてエッチバックすることにより、ゲート電極 4a, 4b の側部にサイドウォール絶縁膜 5 を形成する。

【0034】

以降の工程としては、ゲート電極 4a, 4b およびサイドウォール絶縁膜 5 をマスクとして n 型不純物の例えばリンを高濃度にイオン注入することにより n⁺ 半導体領域 6b を形成する。これにより、LDD 構造をもつソース・ドレイン領域 6 が形成され、ソース・ドレイン領域 6 上のゲート絶縁膜 3 を除去することにより図 1 に示す半導体装置が製造される。

【0035】

本実施形態に係る半導体装置の製造方法によれば、高耐圧使用のトランジスタ Tr1 のゲート電極 4a には、一回目の低濃度のゲートイオン注入により形成されたシリコン膜 4-1 を用いるため、ゲート電極の空乏化が起こりやすくなり、電気的な実効膜厚がより厚いゲート絶縁膜 3 を得ることができる。

また、高性能な能力が要求されるトランジスタのゲート電極 4b には、2 回目の高濃度に追加イオン注入がさらに行われたシリコン膜 4-2 を用いることにより、ゲート絶縁膜 3 の電気的な実効膜厚を薄いまま保つことができる。

従って、トランジスタの能力を維持したまま、同一基板上に異なるタイプのトランジスタ Tr1, Tr2 を、効率良く同時に作製することができる。

【0036】

第 2 実施形態

本実施形態では、同一基板上にトランジスタとキャパシタが形成された半導体装置について説明する。なお、第 1 実施形態と同一の構成要素には、同一の符号

を付しておりその説明は省略する。図5は、本実施形態に係る半導体装置の断面図である。

【0037】

図5に示すように、半導体基板1の一つの活性領域には、高速かつ大きな駆動電流をもつ高性能なトランジスタTr2が形成され、他の活性領域には、キャパシタCaが形成されている。

キャパシタCaは、半導体基板1に形成された例えばn型不純物を高濃度に含有する下部電極7と、下部電極7上に形成された容量絶縁膜3cと、容量絶縁膜3c上に形成された上部電極（キャパシタ電極）4cにより構成されている。

【0038】

本実施形態では、トランジスタTr2のゲート絶縁膜3bと、キャパシタCaの容量絶縁膜3cとは同時形成されたものであり、その物理的な膜厚は実質的に同一となっている。

また、トランジスタTr2のゲート電極4bは相対的に高濃度に不純物を含有したポリシリコン層により形成され、キャパシタCaの上部電極4cは、相対的に低濃度に不純物を含有したポリシリコン層により形成されている。ゲート電極4bおよび上部電極4cは同時形成されたものである。

【0039】

上記の本実施形態に係る半導体装置では、キャパシタ電圧に応じた高耐圧使用のキャパシタCaの上部電極4cは、相対的に低濃度に不純物を含有していることから、電圧印加時に上部電極4cの空乏化が起こりやすい構造となっている。この上部電極4cの空乏化は、容量絶縁膜3cの膜厚を厚くすることと等価である。キャパシタCaには、高電圧に耐えうる程度に厚い容量絶縁膜の膜厚が要求されるが、この上部電極4cの空乏化を利用することにより、容量絶縁膜3cに要求される電気的な実効膜厚を大きくすることができる。

【0040】

一方で、高速かつ大きな駆動電流が要求される高性能なトランジスタTr2のゲート電極4bは、ゲート電極4bの空乏化が起こらないように高濃度に不純物が含有されていることから、ゲート絶縁膜3bの電気的な実効膜厚も薄膜に保た

れている。従って、ゲート電極の空乏化に起因する高速動作への障害を防止することができ、高速かつ大きな駆動電流を実現することができる。

【0041】

次に、上記の本実施形態に係る半導体装置の製造方法について、図6～図9を参照して説明する。

【0042】

まず、図6(a)に示すように、LOCOS法あるいはSTI法により形成された素子分離絶縁膜2により活性領域が規定された半導体基板1に、熱酸化法により酸化シリコンからなる犠牲膜8を形成する。犠牲膜8の膜厚は、例えば8nm程度とする。続いてキャパシタ形成領域を開口するレジストR3をパターニング形成し、当該レジストR3をマスクとしてイオン注入することにより、下部電極7を形成する。このときのドーズ量は、十分に n^+ 化または p^+ 化しようとする量ではあるが、ゲートリーク電流を増やしたり、結晶欠陥を増やして信頼性を落とすものでない程度の量にしておく。例えば、Asを注入エネルギー70keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。

【0043】

次に、図6(b)に示すように、レジストR3を除去し、犠牲膜8も弗化水素液などで除去したあと、後に形成されるトランジスタTr2のゲート絶縁膜となりキャパシタCaの容量絶縁膜となる絶縁膜3を熱酸化法により形成する。このときの酸化条件は、酸化膜厚が最も高性能化を求められているトランジスタTr2に合わせた薄膜となるようにする。

続いて、アモルファス状のシリコン膜4-1を形成する。このシリコン膜4-1の膜厚は例えば約50～200nmとする。さらに、 n^+ 電極を形成するためのイオン注入を施す。このイオン注入は、例えばPを注入エネルギー20keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。このときのドーズ量は、高電源電圧対応のキャパシタCaのような電氣的に厚い容量絶縁膜の膜厚が要求されるデバイスに対応して、よりゲート空乏化をおこしやすくするような低濃度にしておく。

【0044】

以降の工程としては、第1実施形態において説明した図3(c)以降の工程と同様である。

すなわち、図7(c)に示すように、高性能化を求められているトランジスタTr2のゲート電極を含む領域を開口するレジストR4をパターンニング形成し、当該レジストR4をマスクとして、さらに追加ゲートイオン注入を行う。これにより、高濃度に不純物を含有するシリコン膜4-2が形成される。この追加ゲートイオン注入の詳細な条件については、第1実施形態の追加ゲートイオン注入と同様である。

レジストR4を除去した後、熱処理により導入された不純物を活性化させる。この熱処理により、アモルファス状のシリコン膜4-1、4-2はポリシリコン化する。

【0045】

次に、図7(d)に示すように、トランジスタTr2のゲート電極となる部分、およびキャパシタCaの上部電極となる部分をレジストR5でマスクした後、図8(e)に示すように、当該レジストR5をマスクとしてシリコン膜4-1、4-2をドライエッチングする。その後、レジストR5を除去する。これにより、低濃度に不純物を含有するシリコン膜4-1からなる上部電極4cと、2回のイオン注入により高濃度に不純物を含有するシリコン膜4-2からなるゲート電極4bが形成される。

【0046】

次に、図8(f)に示すように、レジストによりキャパシタの形成領域をマスクした状態で、トランジスタの形成領域にゲート電極4bをマスクとしてn型不純物の例えばリンを低濃度にイオン注入することによりn-半導体領域6aを形成する。さらに、レジストを除去した後、例えば酸化シリコン膜を堆積させてエッチバックすることにより、ゲート電極4bの側部にサイドウォール絶縁膜5を形成する。

【0047】

以降の工程としては、レジストによりキャパシタの形成領域をマスクした状態で、トランジスタの形成領域にゲート電極4bおよびサイドウォール絶縁膜5を

マスクとして n 型不純物の例えばリンを高濃度にイオン注入することにより n+ 半導体領域 6 b を形成する。これにより、LDD 構造をもつソース・ドレイン領域 6 が形成される。そして、露出した部分における絶縁膜 3 を除去して、トランジスタ Tr 2 のゲート絶縁膜 3 b およびキャパシタ Ca の容量絶縁膜 3 c とすることにより、図 5 に示す半導体装置が製造される。

【0048】

本実施形態に係る半導体装置の製造方法によれば、一回目の低濃度のゲートイオン注入が行われたシリコン膜 4-1 により形成された上部電極 4 c をもつキャパシタを形成することにより、上部電極の空乏化が起こりやすくなり、電氣的な実効膜厚が厚い容量絶縁膜 3 c を得ることができる。

また、高性能な能力が要求されるトランジスタのゲート電極 4 b には、2 回目の高濃度に追加イオン注入がさらに行われたシリコン膜 4-2 を用いることにより、ゲート絶縁膜 3 の電氣的な実効膜厚を薄いまま保つことができる。

従って、高性能なトランジスタ Tr 2 の能力を維持しつつ、同一基板上に異なる電源電圧が使用されるキャパシタを効率良く同時に作製することができる。

【0049】

第3実施形態

図 9 は、本実施形態に係る半導体装置の断面図である。なお、第 1 実施形態と同一の構成要素には、同一の符号を付しておりその説明は省略する。

【0050】

第 1 実施形態では、トランジスタ Tr 1, Tr 2 のゲート絶縁膜の膜厚が同一の例について説明した。本実施形態では、図 9 に示すように、ゲート絶縁膜の作り分けを併用して、高耐压使用のトランジスタ Tr 1 のゲート絶縁膜 3-1 の物理的な膜厚が、高性能なトランジスタ Tr 2 のゲート絶縁膜 3-2 の膜厚に比して厚く形成されている。

【0051】

上記の本実施形態に係る半導体装置では、高電源電圧が印加される高耐压使用のトランジスタ Tr 1 のゲート絶縁膜 3-1 の物理的膜厚が、トランジスタ Tr Tr 2 のゲート絶縁膜 3-2 の膜厚に比して厚く形成されている。従って、ゲー

ト電極 4 a の空乏化の利用も相まって、ゲート絶縁膜に要求される電気的な実効膜厚をさらに大きくすることができる。また、ゲート絶縁膜の作り分けにより 2 種類の物理的な膜厚の異なるゲート絶縁膜を形成し、さらに、ゲート電極 4 a の空乏化を利用することにより、3 種類の電気的な実効膜厚をもつゲート絶縁膜を形成することができる。その他については、第 1 実施形態と同様の効果を奏する。

【0052】

次に、上記の本実施形態に係る半導体装置の製造方法について、図 10～図 13 を参照して説明する。本実施形態では、第 1 実施形態における図 2 (a) に示す工程の前に、ゲート絶縁膜の作り分けの工程を行う。

【0053】

すなわち、図 10 (a) に示すように、LOCOS 法あるいは STI 法により形成された素子分離絶縁膜 2 により活性領域が規定された半導体基板 1 に、熱酸化法により酸化シリコンからなるゲート絶縁膜 3-1 を形成する。

【0054】

次に、図 10 (b) に示すように、厚膜のゲート絶縁膜が要求されるトランジスタ領域にのみレジスト R6 を用いてマスクを施し、図 10 (c) に示すように、さらに弗化水素液などを用いてウェットエッチを行い、レジストのない部分のゲート絶縁膜 3-1 をすべて除去する。その後、レジスト R6 を除去する。

【0055】

次に、図 11 (d) に示すように、第 2 の熱酸化を行う。これにより、ゲート絶縁膜 3-1 が除去された半導体基板 1 には、第 2 の熱酸化によるゲート絶縁膜 3-2 が形成され、既にあるゲート絶縁膜 3-1 は厚膜化される。なお、2 回の熱酸化による酸化膜厚の合計はそのままの足し算にはならないので、1 回目の熱酸化はトータルとして所望の膜厚を得られるような膜厚を逆算して、適当な熱酸化を施すことになる。すなわち、1 回目の熱酸化により、例えば 4 nm のゲート絶縁膜 3-1 が形成され、2 回目の熱酸化により 2 nm のゲート絶縁膜 3-2 が形成された場合には、2 回の熱酸化によりゲート絶縁膜 3-1 の膜厚は、例えば 5 nm 程度となる。

【0056】

以降の工程としては、第1実施形態において説明した図2 (b) 以降の工程と同様である。

すなわち、図11 (e) に示すように、ゲート絶縁膜3-1, 3-2上に、アモルファス状のシリコン膜4-1を形成する。このシリコン膜4-1の膜厚は例えば約50~200nmとする。続いて、n⁺電極を形成するためのゲートイオン注入を施す。このゲートイオン注入は、例えばPを注入エネルギー20keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。このときのドーズ量は、高電源電圧対応のトランジスタTr1のような電氣的に厚いゲート絶縁膜の膜厚が要求されるデバイスに対応して、よりゲート空乏化をおこしやすくするような低濃度にしておく。

【0057】

次に、図12 (f) に示すように、最も高性能化を求められているトランジスタTr2のゲート電極を含む領域を開口するレジストR7をパターンニング形成し、当該レジストR7をマスクとして、さらに追加ゲートイオン注入を行う。これにより、高濃度に不純物を含有するシリコン膜4-2が形成される。この追加ゲートイオン注入は、例えばPを注入エネルギー20keV、ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。このときのドーズ量は、最も高性能化が求められているトランジスタTr2に要求されるゲート絶縁膜の電氣的な実効膜厚を厚膜化させないように、ゲート空乏化の起きにくい程度に十分高濃度のドーズ量にしておく。

レジストR7を除去した後、熱処理により導入された不純物を活性化させる。この熱処理により、アモルファス状のシリコン膜4-1, 4-2はポリシリコン化する。

【0058】

次に、図12 (g) に示すように、各トランジスタTr1, Tr2のゲート電極となる部分をレジストR8でマスクした後、図13 (h) に示すように、当該レジストR8をマスクとしてシリコン膜4-1, 4-2をドライエッチングする。その後、レジストR8を除去する。これにより、低濃度に不純物を含有するシ

リコン膜 4-1 からなるゲート電極 4 a と、2 回のイオン注入により高濃度に不純物を含有するシリコン膜 4-2 からなるゲート電極 4 b が形成される。

【0059】

次に、図 13 (i) に示すように、ゲート電極 4 a, 4 b をマスクとして n 型不純物の例えばリンを低濃度にイオン注入することにより n- 半導体領域 6 a を形成し、例えば酸化シリコン膜を堆積させてエッチバックすることにより、ゲート電極 4 a, 4 b の側部にサイドウォール絶縁膜 5 を形成する。

【0060】

以降の工程としては、ゲート電極 4 a, 4 b およびサイドウォール絶縁膜 5 をマスクとして n 型不純物の例えばリンを高濃度にイオン注入することにより n+ 半導体領域 6 b を形成する。これにより、LDD 構造をもつソース・ドレイン領域 6 が形成され、ソース・ドレイン領域 6 上のゲート絶縁膜 3-1, 3-2 を除去することにより図 1 に示す半導体装置が製造される。

【0061】

本実施形態に係る半導体装置の製造方法によれば、高耐圧使用のトランジスタ Tr 1 のゲート電極 4 a には、一回目の低濃度のゲートイオン注入により形成されたシリコン膜 4-1 を用いることに加え、ゲート絶縁膜の作り分けにより形成された厚膜のゲート絶縁膜 3-1 を用いることから、ゲート絶縁膜に要求される電気的な実効膜厚を第 1 実施形態よりも大きくすることができる。従って、トランジスタの信頼性を高めることができる。

また、例えばゲート絶縁膜の作り分けにより 2 種類の物理的な膜厚の異なるゲート絶縁膜を形成し、さらに、ゲート電極 4 a の空乏化を利用することにより、トランジスタの能力を維持したまま、同一基板上に 3 種類のタイプのトランジスタを、効率良く同時に作製することができる。その他、第 1 実施形態と同様の効果を得ることができる。

【0062】

第 4 実施形態

図 14 は、本実施形態に係る半導体装置の断面図である。なお、第 2 実施形態と同一の構成要素には、同一の符号を付しておりその説明は省略する。

【0063】

第2実施形態では、トランジスタ T_r2 のゲート絶縁膜およびキャパシタ C_a の容量絶縁膜の膜厚が同一の例について説明した。本実施形態では、図14に示すように、ゲート絶縁膜の作り分けを併用して、高耐圧使用のキャパシタ C_a の容量絶縁膜3-1cの物理的な膜厚が、高性能なトランジスタ T_r2 のゲート絶縁膜3-2bの膜厚に比して厚く形成されている。

【0064】

上記の本実施形態に係る半導体装置では、高電源電圧が印加される高耐圧使用のキャパシタ C_a の容量絶縁膜3-1cの物理的膜厚が、トランジスタ T_r2 のゲート絶縁膜3-2bの膜厚に比して厚く形成されている。従って、キャパシタの上部電極4cの空乏化の利用も相まって、容量絶縁膜3-1cに要求される電気的な実効膜厚をさらに大きくすることができる。その他については、第1実施形態と同様の効果を奏する。

【0065】

次に、上記の本実施形態に係る半導体装置の製造方法について、図15～図19を参照して説明する。本実施形態では、第2実施形態における図6(a)と図6(b)に示す工程の間に、ゲート絶縁膜の作り分けの工程を行う。

【0066】

すなわち、図15(a)に示すように、LOCOS法あるいはSTI法により形成された素子分離絶縁膜2により活性領域が規定された半導体基板1に、熱酸化法により酸化シリコンからなる犠牲膜8を形成する。犠牲膜8の膜厚は、例えば8nm程度とする。続いてキャパシタ形成領域を開口するレジストR9をパターンニング形成し、当該レジストR9をマスクとしてイオン注入することにより、下部電極7を形成する。このときのドーズ量は、十分に n^+ 化または p^+ 化しようとする量ではあるが、ゲートリーク電流を増やしたり、結晶欠陥を増やして信頼性を落とすものでない程度の量にしておく。例えば、Asを注入エネルギー70keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。

【0067】

次に、図15(b)に示すように、レジストR9を除去し、犠牲膜8も弗化水

素液などで除去した後、キャパシタ C a の容量絶縁膜となる絶縁膜 3-1 c を熱酸化法により形成する。

【0068】

次に、図 16 (c) に示すように、厚膜の容量絶縁膜が要求されるキャパシタ領域にのみレジスト R 10 を用いてマスクを施し、図 16 (d) に示すように、さらに弗化水素液などを用いてウェットエッチングを行い、レジストのない部分の絶縁膜 3-1 c をすべて除去する。その後、レジスト R 10 を除去する。

【0069】

次に、図 17 (e) に示すように、第 2 の熱酸化を行う。これにより、絶縁膜 3-1 が除去された半導体基板 1 には、第 2 の熱酸化によるゲート絶縁膜 3-2 が形成され、既にある絶縁膜 3-1 c は厚膜化された容量絶縁膜となる。なお、第 3 実施形態で述べたように、2 回の熱酸化による酸化膜厚の合計はそのままの足し算にはならないので、1 回目の熱酸化はトータルとして所望の膜厚を得られるような膜厚を逆算して、適当な熱酸化を施すことになる。

【0070】

以降の工程としては、第 2 実施形態において説明した図 6 (b) 以降の工程と同様である。

すなわち、図 17 (f) に示すように、ゲート絶縁膜 3-2 b および容量絶縁膜 3-1 c 上に、アモルファス状のシリコン膜 4-1 を形成する。このシリコン膜 4-1 の膜厚は例えば約 50 ~ 200 nm とする。さらに、n⁺ 電極を形成するためのイオン注入を施す。このイオン注入は、例えば P を注入エネルギー 20 keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。このときのドーズ量は、高電源電圧対応のキャパシタ C a のような電氣的に厚い容量絶縁膜の膜厚が要求されるデバイスに対応して、よりゲート空乏化をおこしやすくするような低濃度にしておく。

【0071】

次に、図 18 (g) に示すように、高性能化を求められているトランジスタ T r 2 のゲート電極を含む領域を開口するレジスト R 11 をパターンニング形成し、当該レジスト R 11 をマスクとして、さらに追加ゲートイオン注入を行う。これ

により、高濃度に不純物を含有するシリコン膜 4-2 が形成される。この追加ゲートイオン注入の詳細な条件については、第 1 実施形態の追加ゲートイオン注入と同様である。

レジスト R 1 1 を除去した後、熱処理により導入された不純物を活性化させる。この熱処理により、アモルファス状のシリコン膜 4-1, 4-2 はポリシリコン化する。

【0072】

次に、図 18 (h) に示すように、トランジスタ $T_r 2$ のゲート電極となる部分、およびキャパシタ C_a の上部電極となる部分をレジスト R 1 2 でマスクした後、図 19 (i) に示すように、当該レジスト R 1 2 をマスクとしてシリコン膜 4-1, 4-2 をドライエッチングする。その後、レジスト R 1 2 を除去する。これにより、低濃度に不純物を含有するシリコン膜 4-1 からなる上部電極 4 c と、2 回のイオン注入により高濃度に不純物を含有するシリコン膜 4-2 からなるゲート電極 4 b が形成される。

【0073】

次に、図 19 (j) に示すように、レジストによりキャパシタの形成領域をマスクした状態で、トランジスタの形成領域にゲート電極 4 b をマスクとして n 型不純物の例えばリンを低濃度にイオン注入することにより n- 半導体領域 6 a を形成する。さらに、レジストを除去した後、例えば酸化シリコン膜を堆積させてエッチバックすることにより、ゲート電極 4 b の側部にサイドウォール絶縁膜 5 を形成する。

【0074】

以降の工程としては、レジストによりキャパシタの形成領域をマスクした状態で、トランジスタの形成領域にゲート電極 4 b およびサイドウォール絶縁膜 5 をマスクとして n 型不純物の例えばリンを高濃度にイオン注入することにより n+ 半導体領域 6 b を形成する。これにより、LDD 構造をもつソース・ドレイン領域 6 が形成される。そして、露出した部分における絶縁膜 3-2 b, 3-1 c を除去して、トランジスタ $T_r 2$ のゲート絶縁膜 3-2 b およびキャパシタ C_a の容量絶縁膜 3-1 c とすることにより、図 14 に示す半導体装置が製造される。

【0075】

本実施形態に係る半導体装置の製造方法によれば、ゲート絶縁膜あるいは容量絶縁膜となる絶縁膜の作り分けを行い、さらに上部電極の空乏化を利用することにより、第2実施形態に比してキャパシタの容量絶縁膜の電気的な実効膜厚をさらに厚膜化することができる。

従って、下部電極形成のための高濃度のイオン注入時に受けるダメージによる結晶欠陥に起因するリーク電流を増やすことなく、信頼性を落とさずに所望の容量値をもつキャパシタを形成することができる。

【0076】

本発明は、上記の実施形態の説明に限定されない。

本実施形態では、ゲート絶縁膜に要求される電気的な実効膜厚が異なるトランジスタ T_{r1} とトランジスタ T_{r2} を同時に形成する例、およびトランジスタ T_{r2} とキャパシタを同時に形成する例について説明したが、トランジスタ T_{r1} 、 T_{r2} とキャパシタ C_a の3つの電子素子を同時に形成してもよい。

また、トランジスタやキャパシタの構成例について説明したが、これに限られるものでなく、サイドウォール絶縁膜等は省略可能である。

また、本実施形態であげた数値や材料は一例であり、これに限定されるものではない。

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0077】

【発明の効果】

本発明の半導体装置によれば、物理的な絶縁膜の膜厚の差がなくても、電子素子の電極の空乏化を利用して、電子素子の絶縁膜に要求される電気的な実効膜厚を確保することができる。

【0078】

本発明の半導体装置の製造方法によれば、物理的に膜厚の異なる絶縁膜の作り分けを行うことによる工程数の増加を抑制しつつ、トランジスタのゲート絶縁膜やキャパシタの容量絶縁膜に要求される電気的な実効膜厚を確保することができる。

【図面の簡単な説明】**【図 1】**

第 1 実施形態に係る半導体装置の一例を示す断面図である。

【図 2】

第 1 実施形態に係る半導体装置の製造における工程断面図である。

【図 3】

第 1 実施形態に係る半導体装置の製造における工程断面図である。

【図 4】

第 1 実施形態に係る半導体装置の製造における工程断面図である。

【図 5】

第 2 実施形態に係る半導体装置の一例を示す断面図である。

【図 6】

第 2 実施形態に係る半導体装置の製造における工程断面図である。

【図 7】

第 2 実施形態に係る半導体装置の製造における工程断面図である。

【図 8】

第 2 実施形態に係る半導体装置の製造における工程断面図である。

【図 9】

第 3 実施形態に係る半導体装置の一例を示す断面図である。

【図 10】

第 3 実施形態に係る半導体装置の製造における工程断面図である。

【図 11】

第 3 実施形態に係る半導体装置の製造における工程断面図である。

【図 12】

第 3 実施形態に係る半導体装置の製造における工程断面図である。

【図 13】

第 3 実施形態に係る半導体装置の製造における工程断面図である。

【図 14】

第 4 実施形態に係る半導体装置の一例を示す断面図である。

【図 15】

第 4 実施形態に係る半導体装置の製造における工程断面図である。

【図 16】

第 4 実施形態に係る半導体装置の製造における工程断面図である。

【図 17】

第 4 実施形態に係る半導体装置の製造における工程断面図である。

【図 18】

第 4 実施形態に係る半導体装置の製造における工程断面図である。

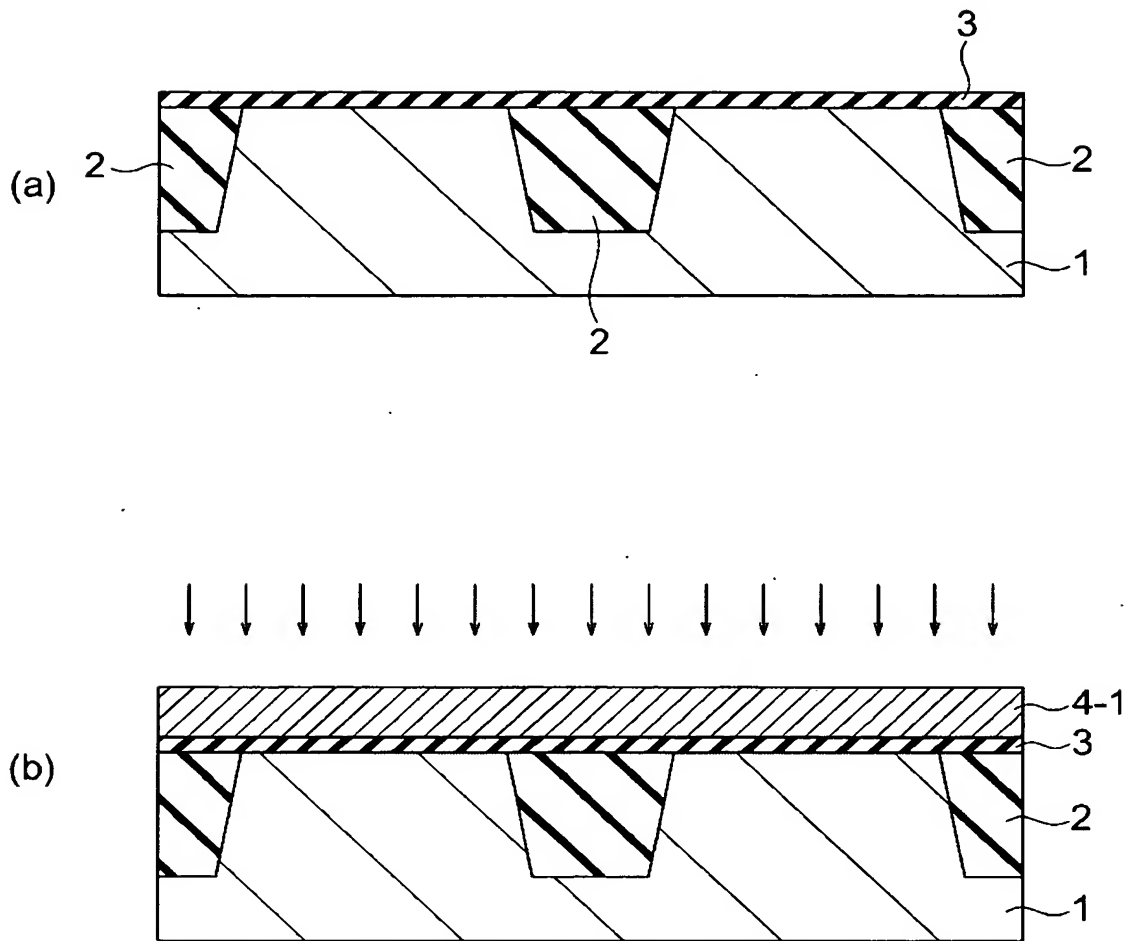
【図 19】

第 4 実施形態に係る半導体装置の製造における工程断面図である。

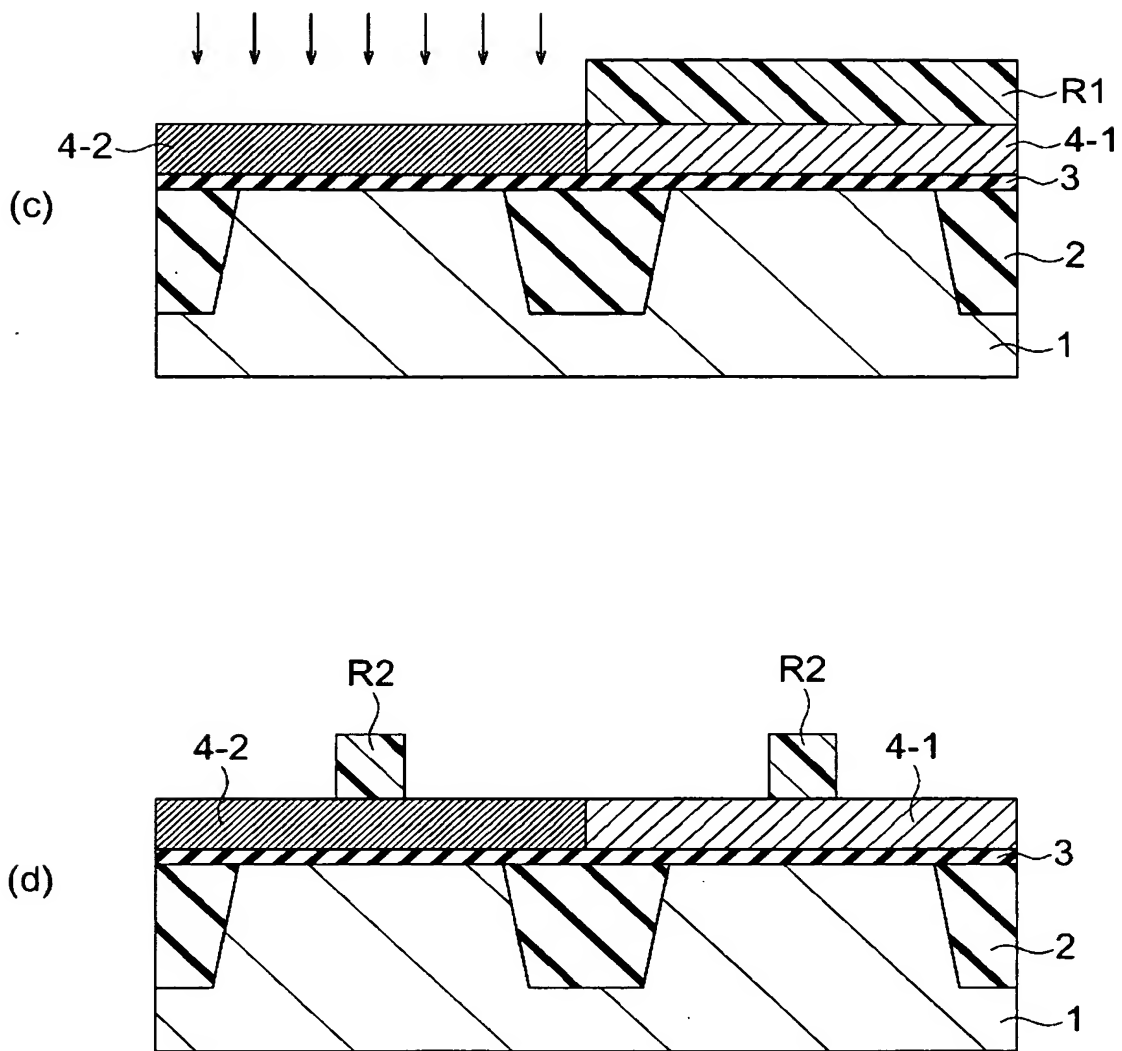
【符号の説明】

1…半導体基板、2…素子分離絶縁膜、3, 3b, 3-1, 3-2, 3-2b
…ゲート絶縁膜、3c, 3-1c…容量絶縁膜、4a, 4b…ゲート電極、4c
…上部電極、4-1, 4-2…シリコン膜、5…サイドウォール絶縁膜、6…ソ
ース・ドレイン領域、6a… n^- 半導体領域、6b… n^+ 半導体領域、7…下部
電極、8…犠牲膜、Tr1, Tr2…トランジスタ、Ca…キャパシタ、R1,
R2, R3, R4, R5, R6, R7, R8, R9, R10, R11, R12…
レジスト

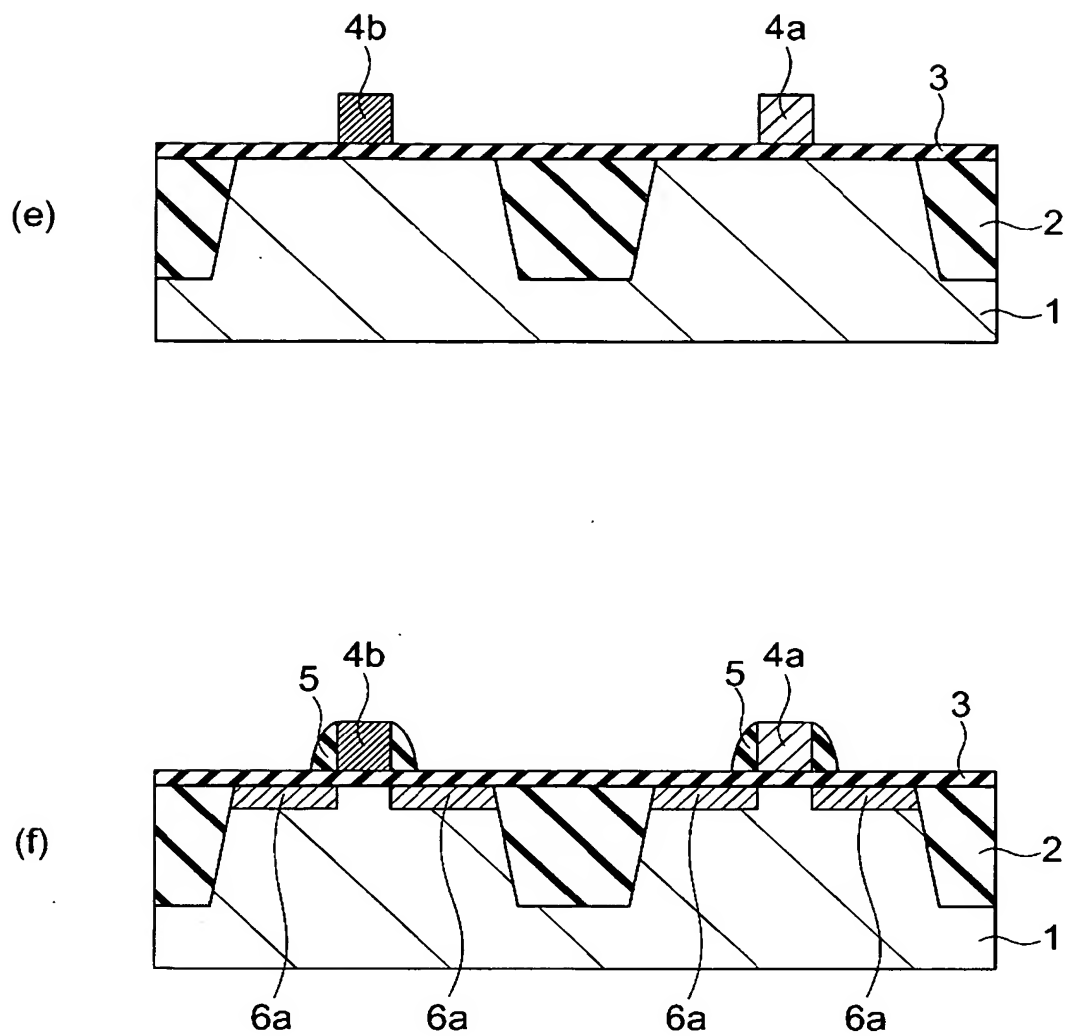
【図 2】



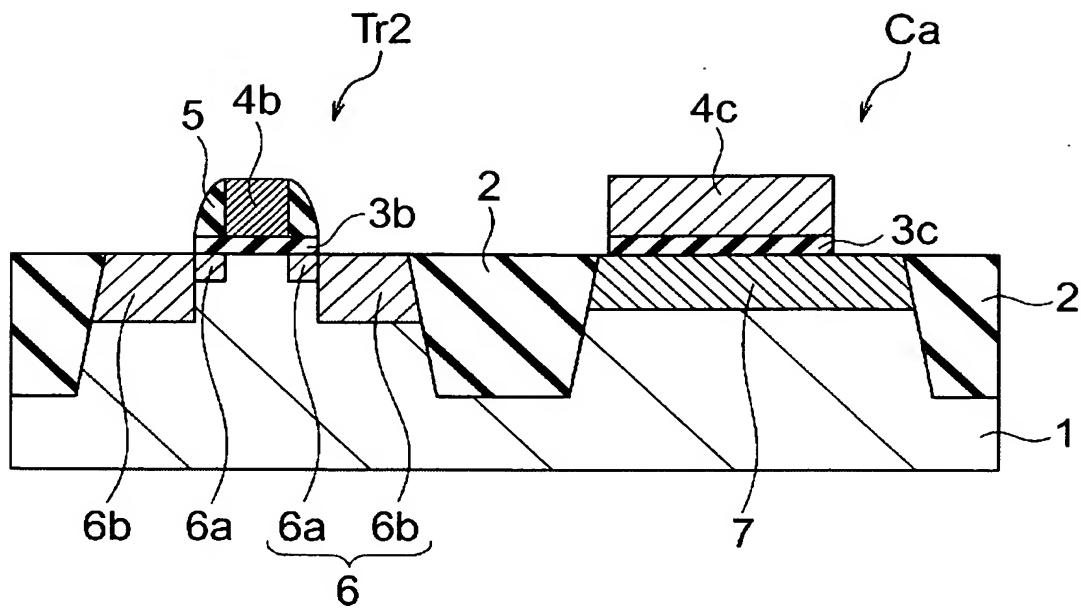
【図 3】



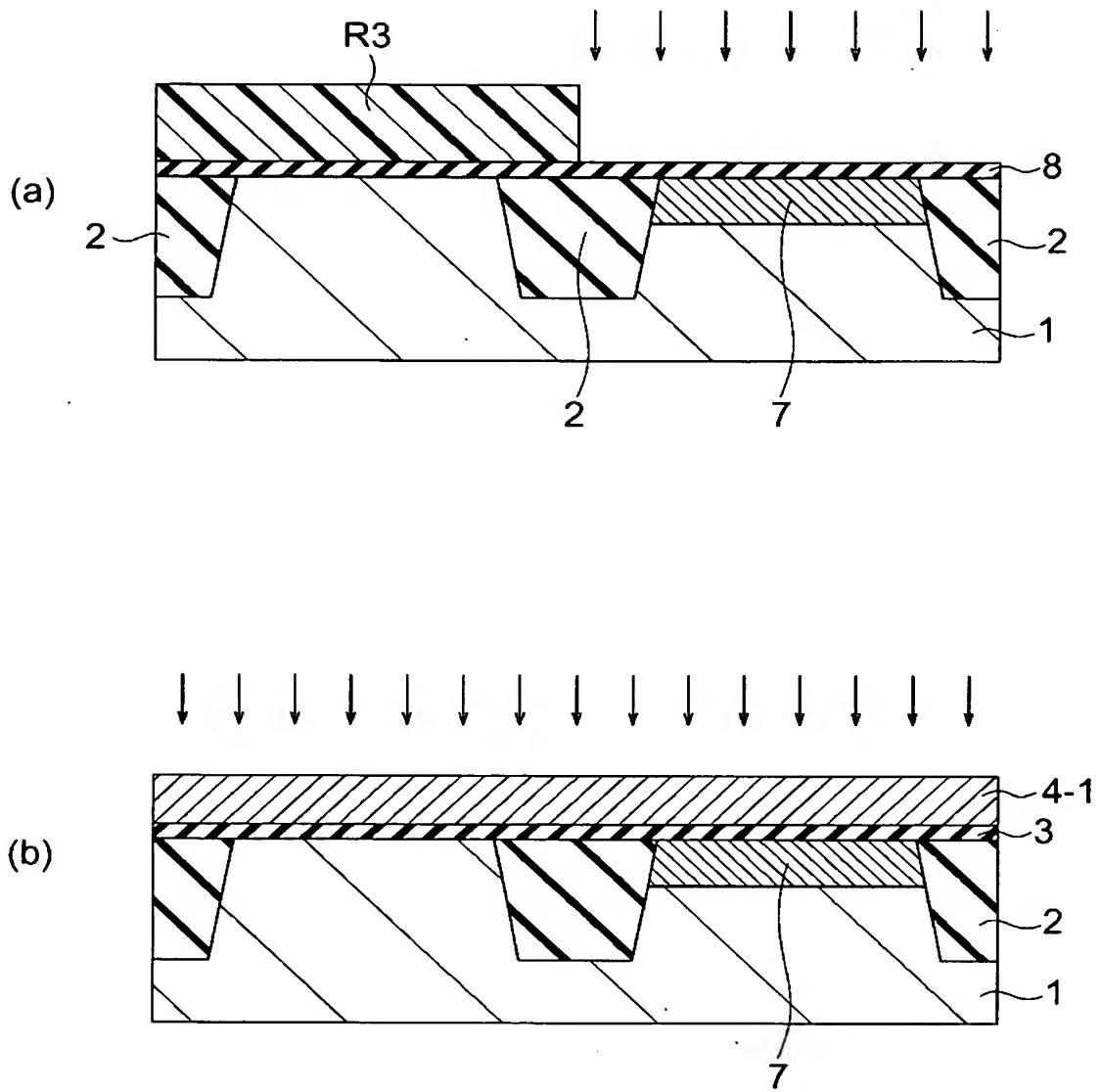
【図 4】



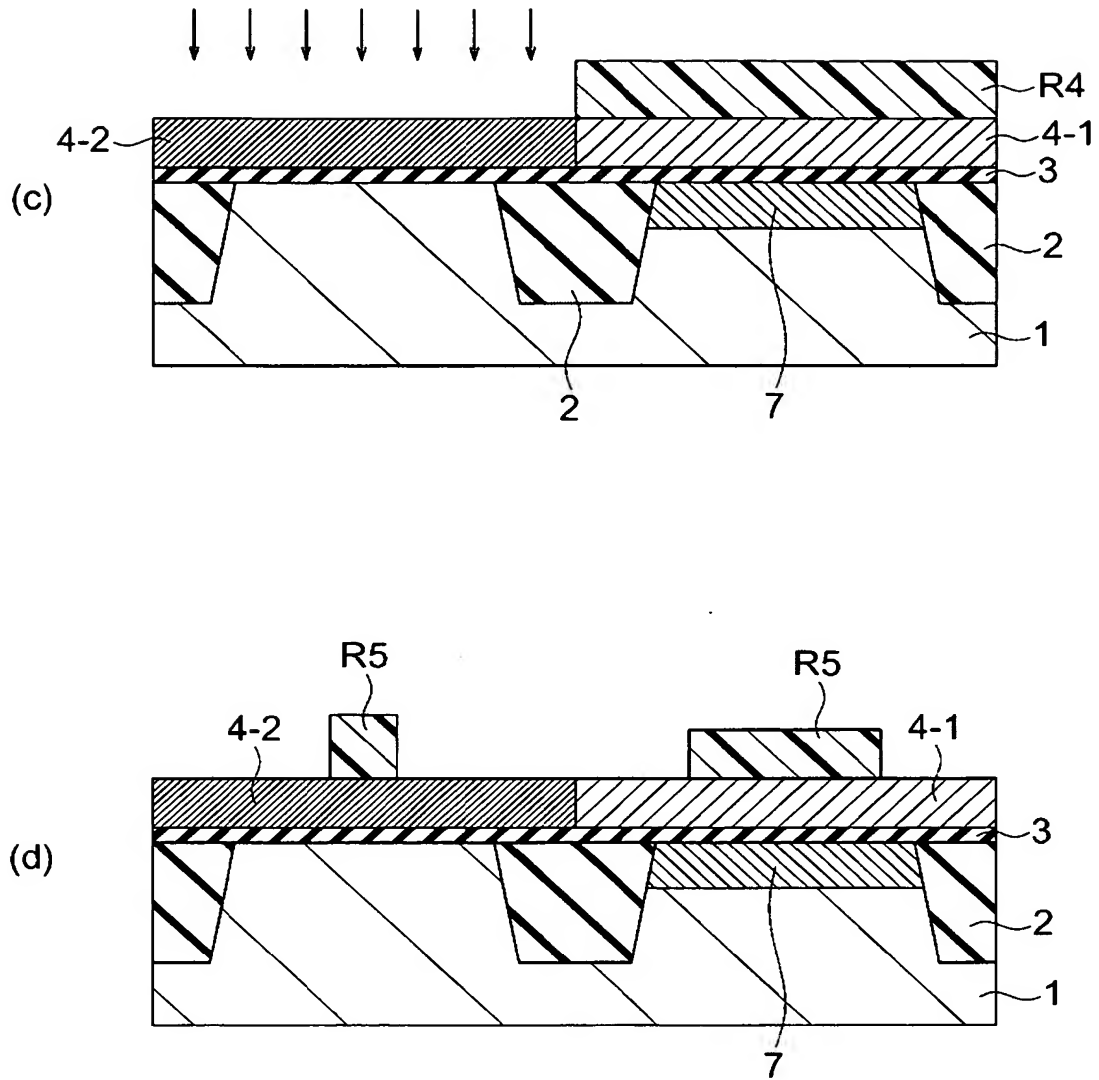
【図 5】



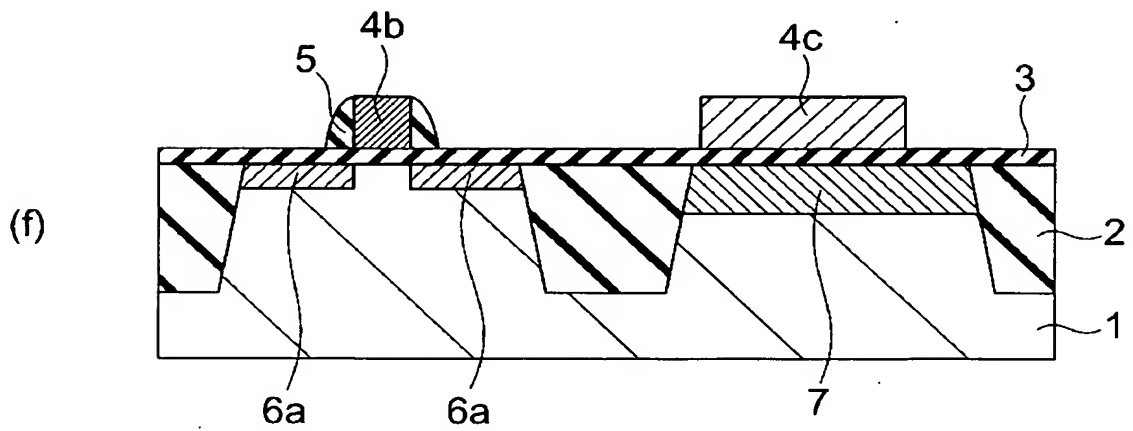
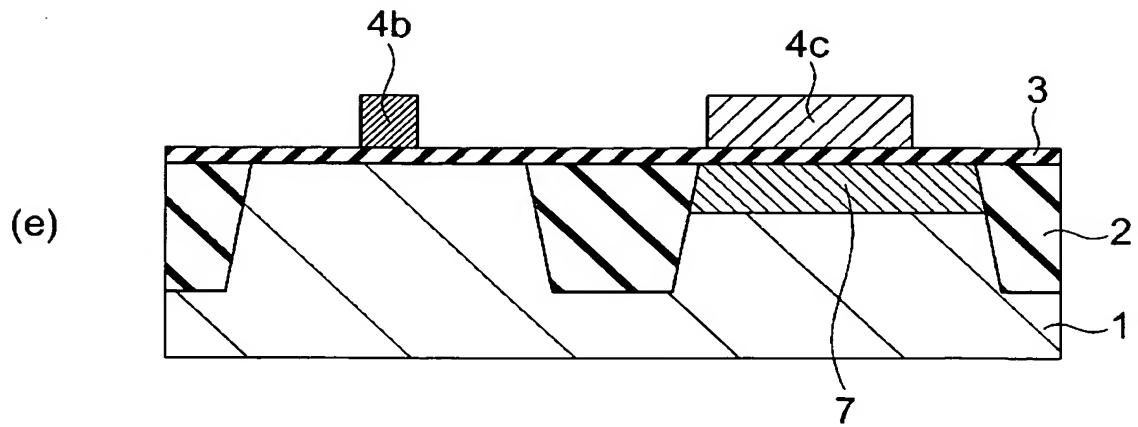
【図 6】



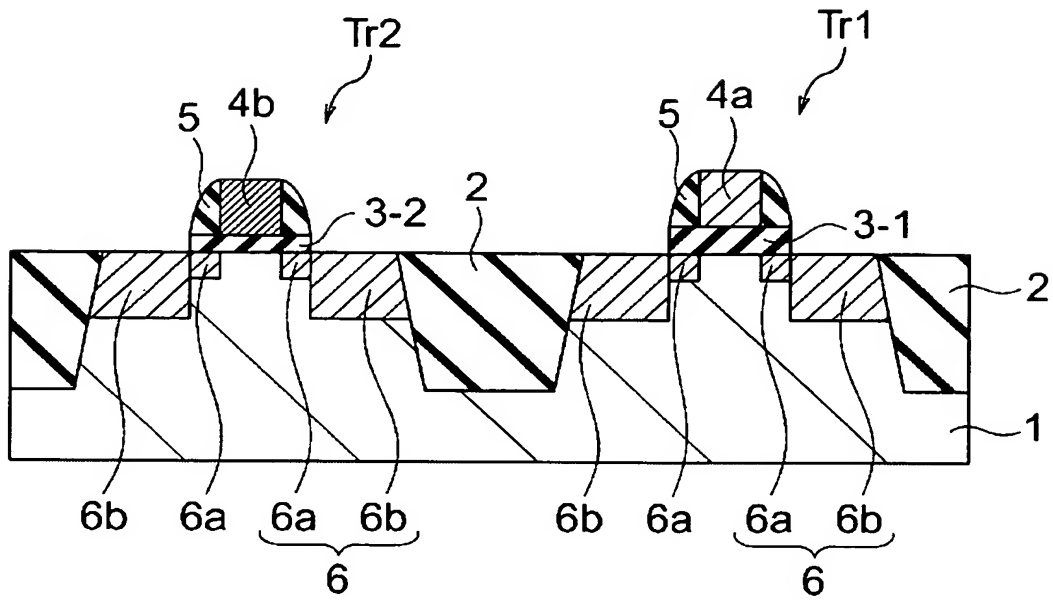
【図 7】



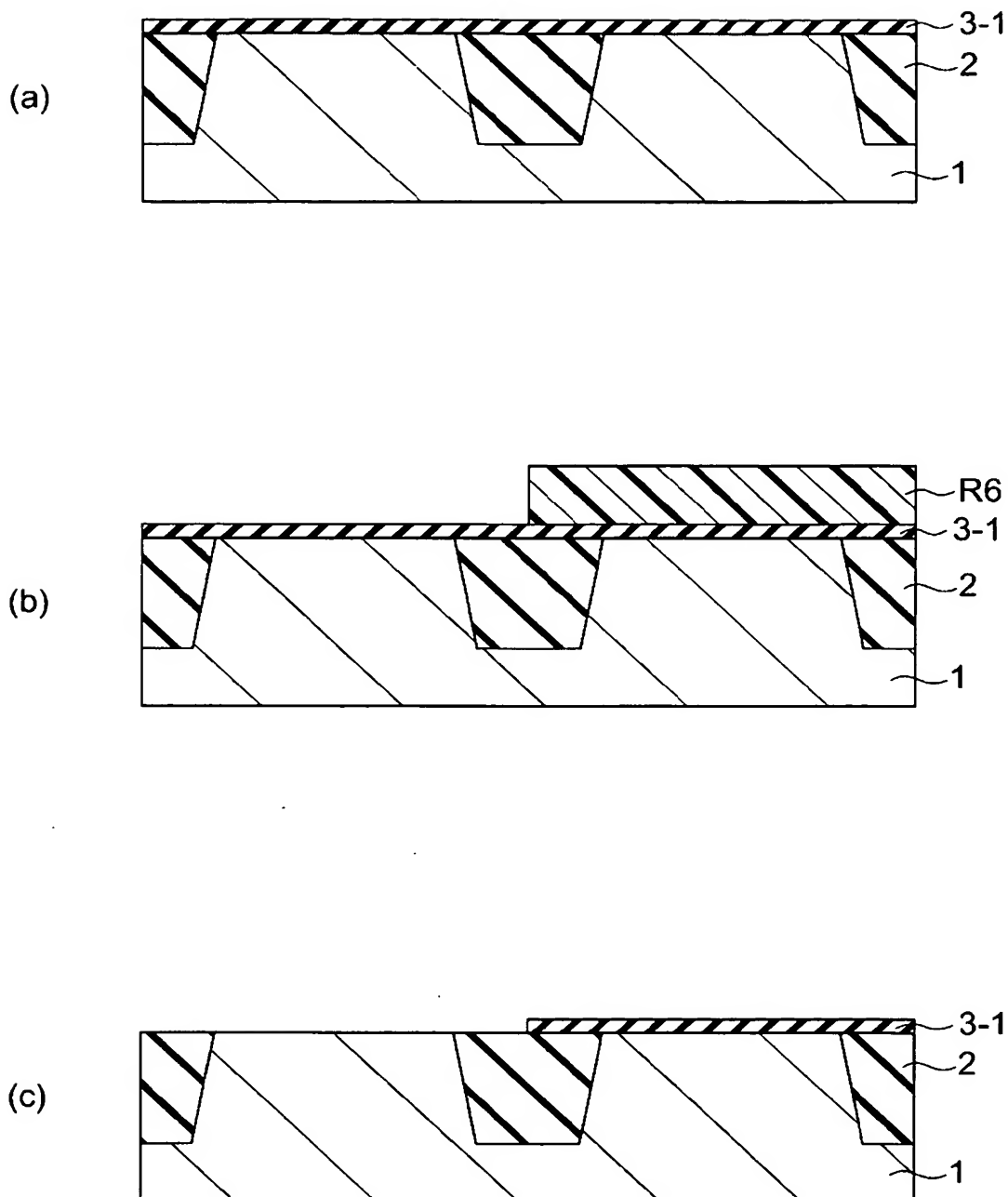
【図 8】



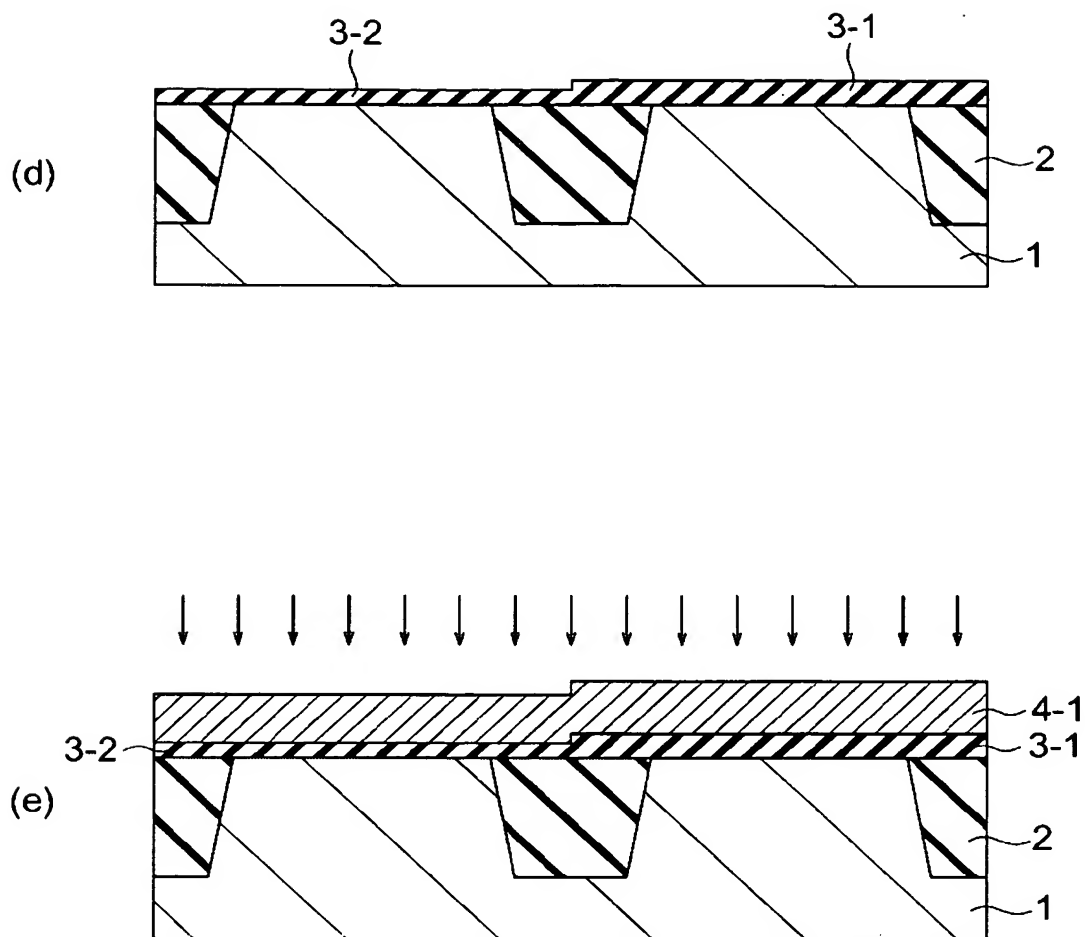
【図 9】



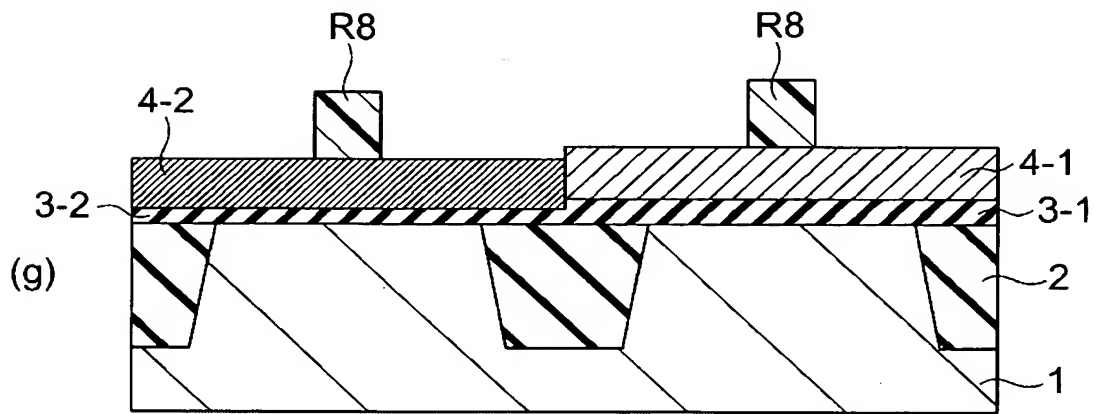
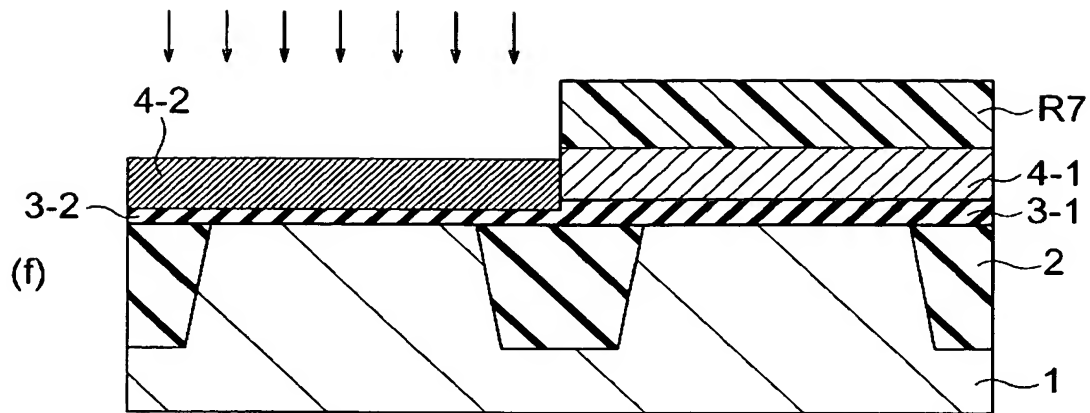
【図 10】



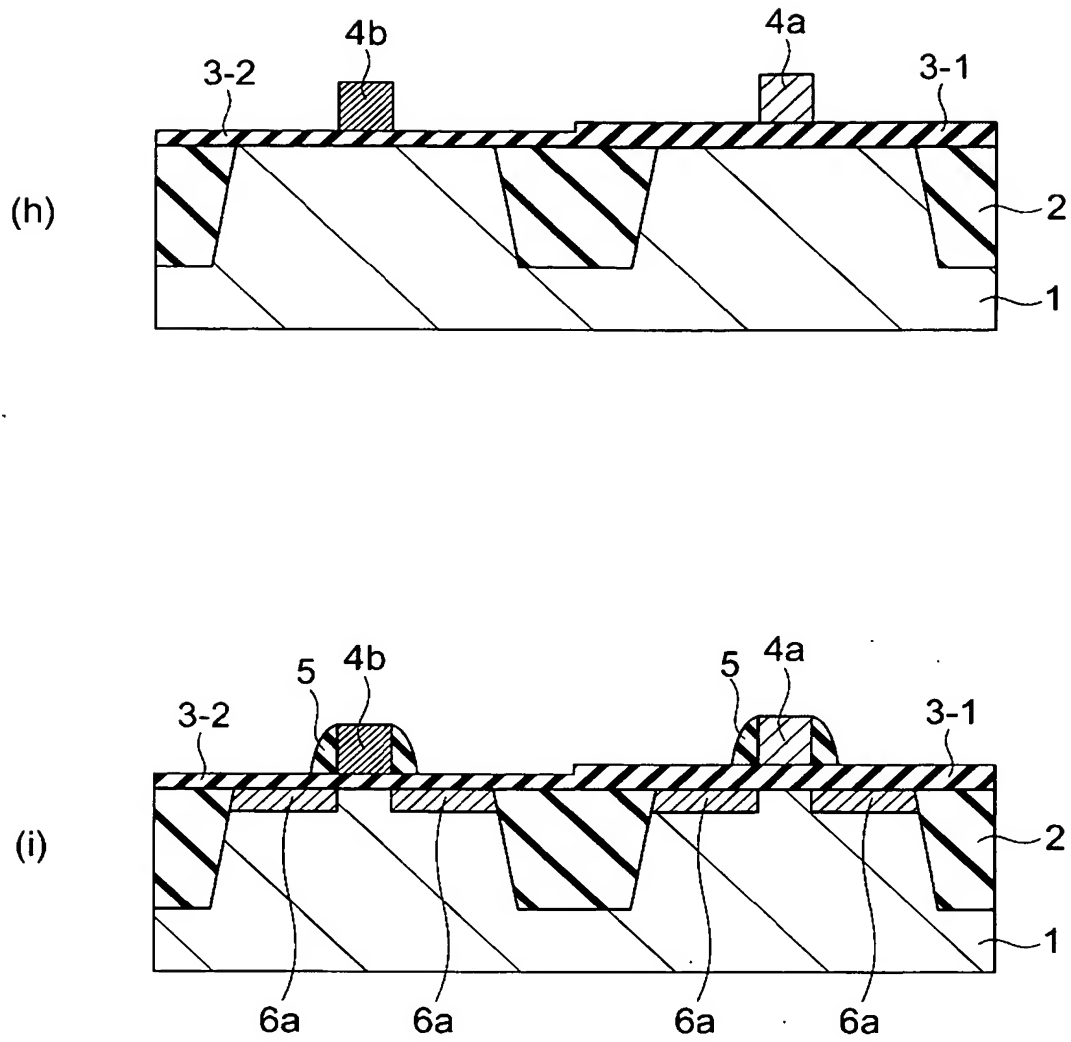
【図 11】



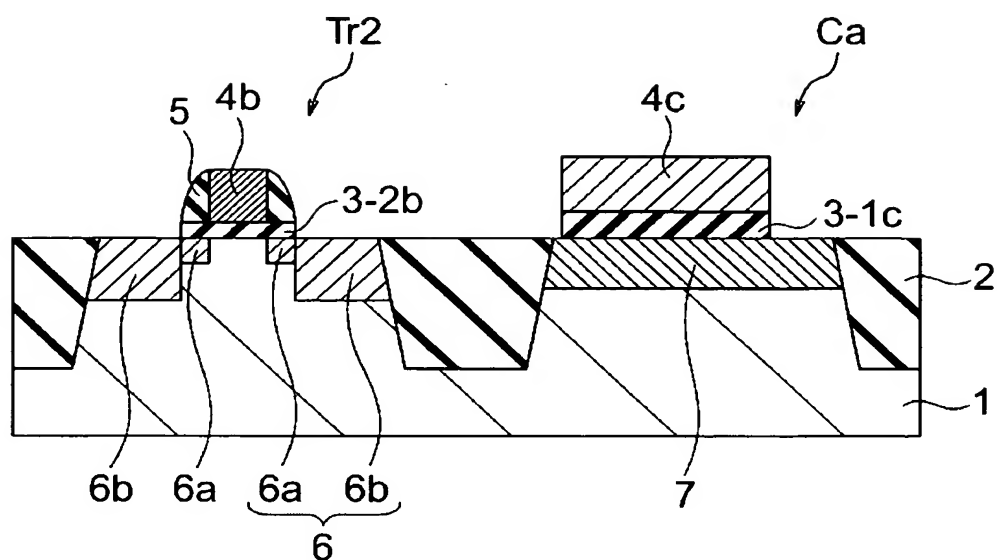
【図 12】



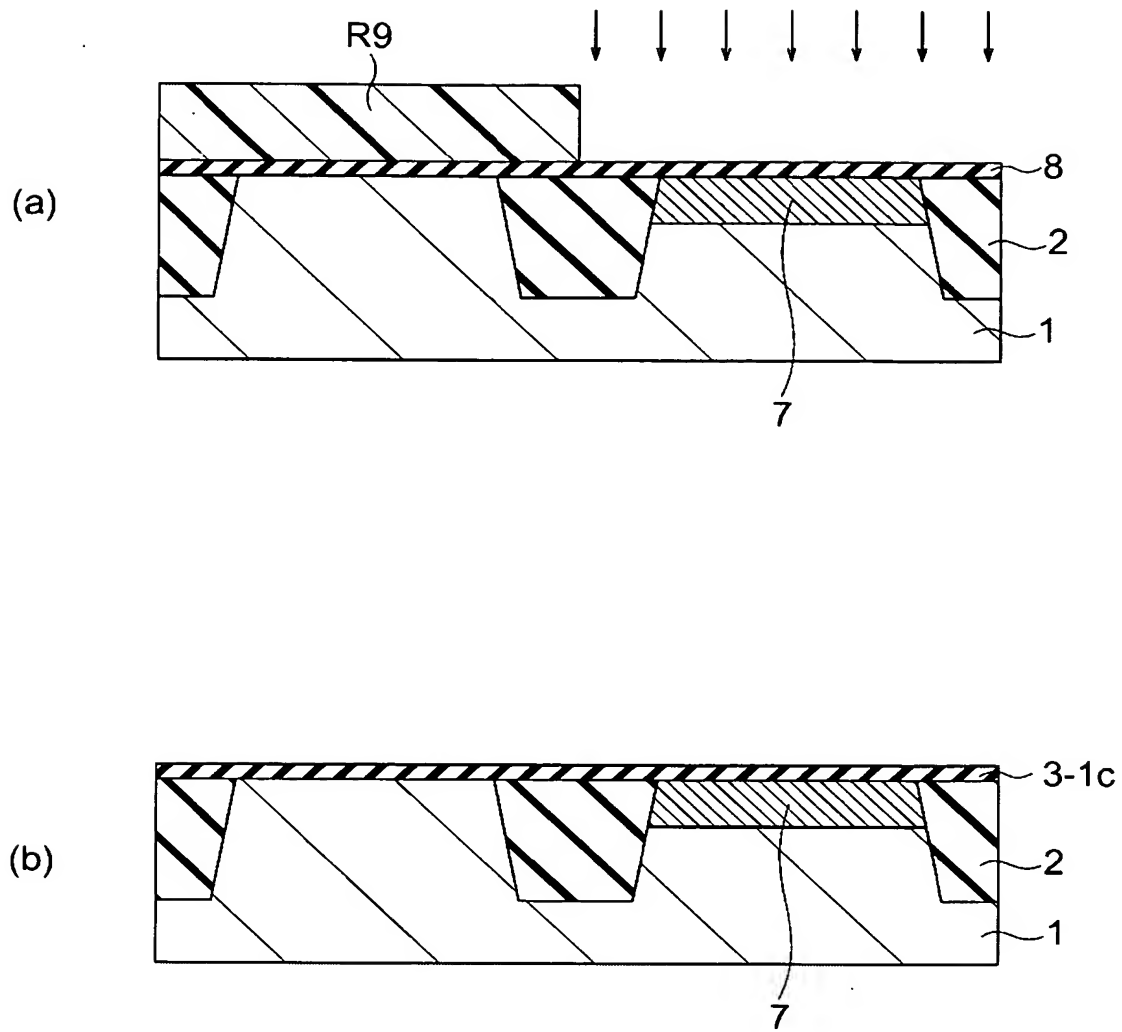
【図 13】



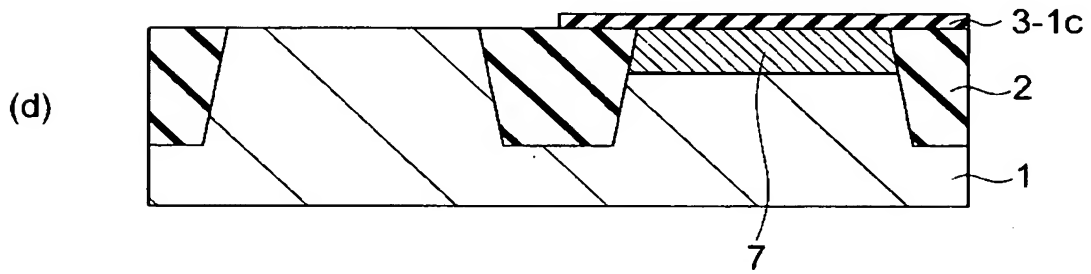
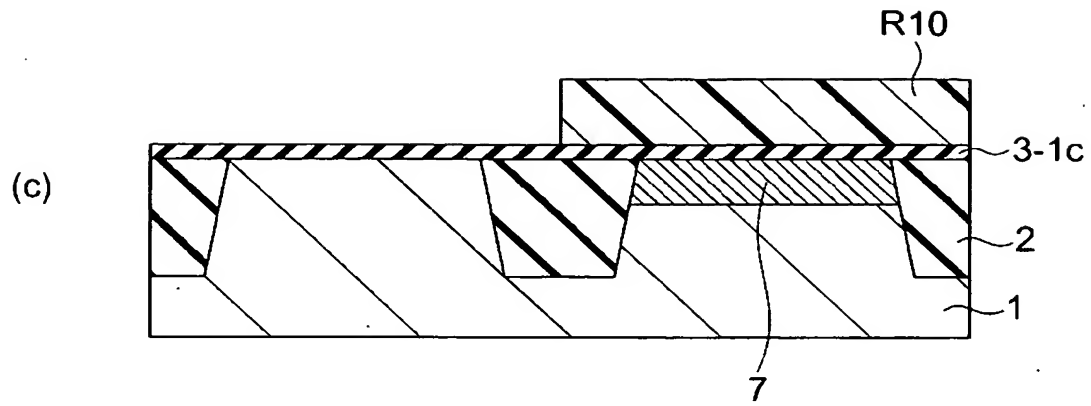
【図 14】



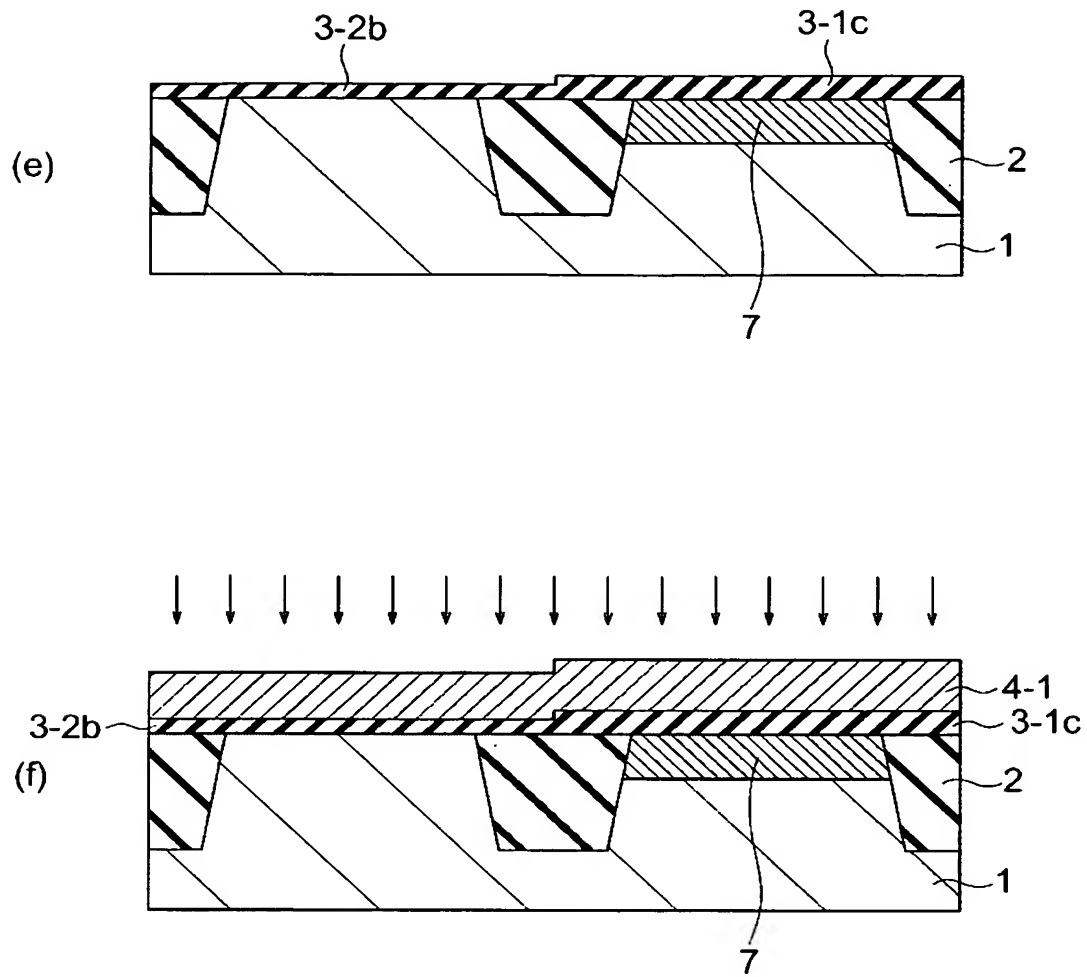
【図 15】



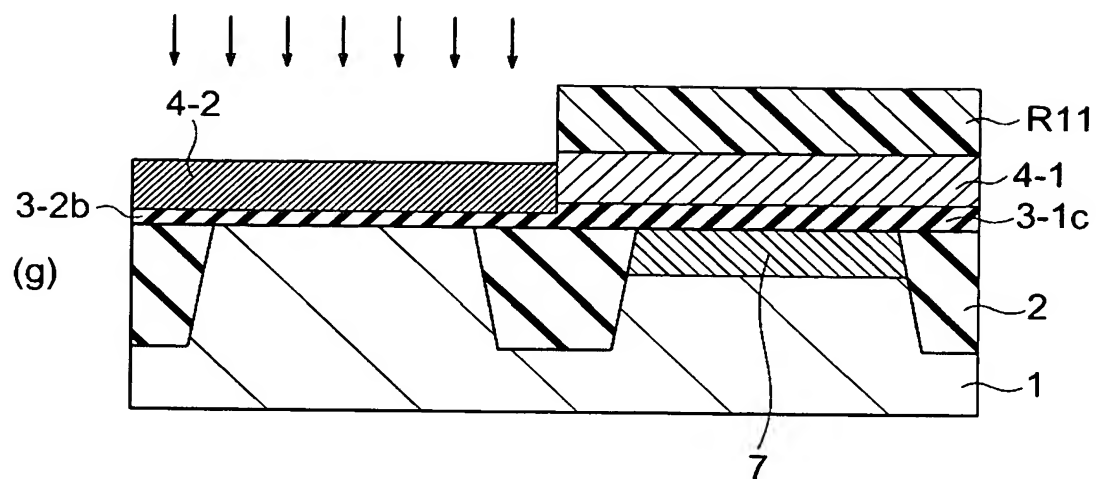
【図 16】



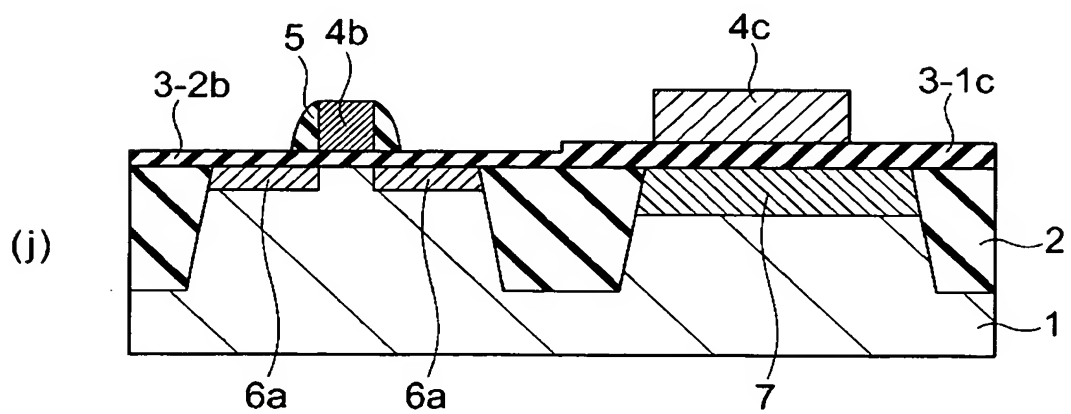
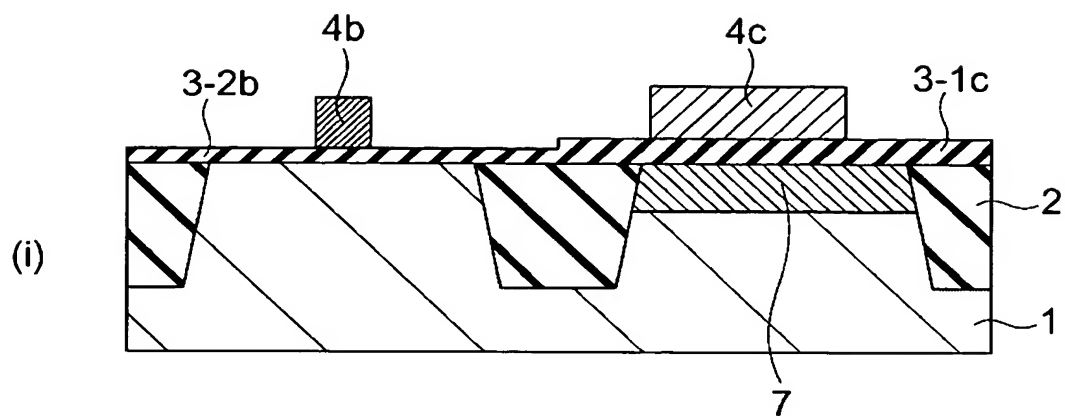
【図 17】



【図 18】



【図 19】





【書類名】 要約書

【要約】

【課題】 物理的な絶縁膜の膜厚の差がなくても、電子素子の電極の空乏化を利用して、電子素子の絶縁膜に要求される電氣的な実効膜厚を確保することができる半導体装置およびその製造方法を提供することにある。

【解決手段】 高電源電圧が印加される高耐圧使用のトランジスタ $T r 1$ のゲート電極 4 a は、相対的に低濃度に不純物を含有していることから、ゲート電圧印加時にゲート電極 4 a の空乏化が起こりやすい構造となっている。このゲート電極 4 a の空乏化は、ゲート絶縁膜 3 の膜厚を厚くすることと等価であり、ゲート絶縁膜 3 に要求される電氣的な実効膜厚を大きくすることができる。一方で、高速かつ大きな駆動電流が要求される高性能なトランジスタ $T r 2$ のゲート電極 4 b は、ゲート電極 4 b の空乏化が起こらないように高濃度に不純物が含有されていることから、ゲート絶縁膜 3 の電氣的な実効膜厚も薄膜に保たれている。

【選択図】 図 1

特願 2 0 0 3 - 0 8 4 4 7 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社